

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2000-216360 ✓

(P2000-216360A)

(43) 公開日 平成12年8月4日(2000.8.4)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード*(参考)	
H 0 1 L 27/108		H 0 1 L 27/10	6 5 1	5 F 0 3 8
21/8242		H 0 1 B 3/12	3 1 2	5 F 0 8 3
27/04		H 0 1 L 27/04	C	5 G 3 0 3
21/822				
// H 0 1 B 3/12	3 1 2			

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21) 出願番号 特願平11-16624

(22) 出願日 平成11年1月26日(1999.1.26)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72) 発明者 神田 直樹

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(74) 代理人 100068504

弁理士 小川 勝男

最終頁に続く

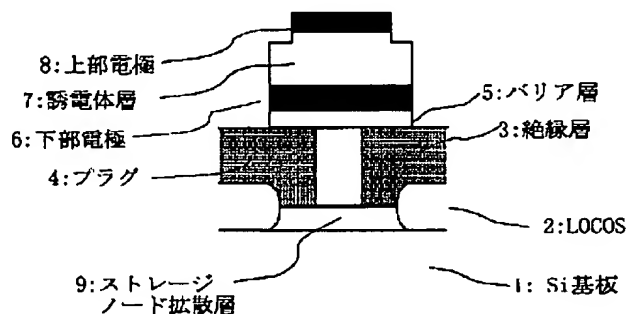
(54) 【発明の名称】 半導体メモリ素子

(57) 【要約】

【課題】  $\delta$  相  $Ta_2O_5$  を高誘電体膜として用いた半導体メモリ素子を提供する。

【解決手段】 誘電率の高い  $\delta$  相  $Ta_2O_5$  をキャパシタに適用すると高集積大容量の DRAM が実現できる。

図1



## 【特許請求の範囲】

【請求項 1】半導体基板と、該基板の主面に形成された MISFET と、該 MOSFET のソース又はドレインとして機能する半導体領域に電気的に接続された容量素子より構成される半導体メモリ素子において、該容量素子が少なくとも酸化誘電体薄膜と該誘電体薄膜の両面に接する下部電極及び上部電極とから構成され、該酸化誘電体薄膜として  $Ta_2O_5$  低温相を用いたことを特徴とする半導体メモリ素子。

【請求項 2】上記請求項 1 の半導体メモリ素子において、該酸化誘電体薄膜として  $\delta$  相  $Ta_2O_5$  薄膜を用いることを特徴とする半導体メモリ素子。

【請求項 3】上記請求項 1 又は 2 の半導体メモリ素子において、該下部電極としてポリシリコンを使用することを特徴とする半導体メモリ素子。

【請求項 4】上記請求項 1 又は 2 の半導体メモリ素子において、該下部電極乃至上部電極として貴金属電極を用い、該貴金属電極として Pt、Ru 乃至 Ir のいずれかの金属単体あるいは合金を用いることを特徴とする半導体メモリ素子。

【請求項 5】上記請求項 4 の半導体メモリ素子において、該貴金属電極を用い、該貴金属電極の一部あるいは全体を酸化することにより、該貴金属電極が  $RuO_2$  乃至  $IrO_2$  のいずれかを含有することを特徴とする半導体メモリ素子。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、高密度 DRAM に最適な、高誘電体薄膜コンデンサを用いた半導体メモリ素子に関する。

## 【0002】

【従来の技術】(1) ダイナミックランダムアクセスメモリ (DRAM) はコンピュータの記憶素子として大容量、高集積化が進んできた。現在用いられている DRAM メモリセル部の基本的な回路は、1 組の MOS トランジスタとコンデンサから構成され、コンデンサに蓄積された電荷の量によって 1 ビットのデータを記憶する。このコンデンサの容量は  $\alpha$  線によって作り出される電荷によるソフトエラーに対する耐性を備えるために 100 fC 以上の電荷が蓄積されなければならない。仮に  $\pm 1.5$  V の電圧で動作させようとする、コンデンサの容量は 60 fF 以上必要となる。

【0003】(2) コンデンサの容量 C は、真空の誘電率を  $\epsilon_0$ 、誘電体膜の比誘電率を  $\epsilon_r$ 、誘電体膜の膜厚を d、コンデンサの断面積を S とすると、 $C = \epsilon_0 \cdot \epsilon_r \cdot S / d$  である。従って、コンデンサの容量を大きくするためには電極の面積を大きくし、誘電体膜の膜厚を薄くすれば良い。最近の DRAM の高集積化により、メモリセル 1 個当たりの占める面積が縮小するため、クラウン構造やフィン構造等の複雑な立体構造によりキャパシタ

面積の増大が図られている。これは誘電体膜や電極材料の CVD 法による高い被覆性により達成されている。しかし複雑な構造になれば十分な被覆性が達成できなくなるため、構造による容量増加には限界がある。

【0004】(3) そこで、例えば応用物理第 60 巻第 11 号 (1991) 「高誘電率材料の LSI 容量膜への応用」に記載してあるように、キャパシタに誘電率の大きな物質を用いる研究が進められている。誘電率の大きな物質としては、 $Ta_2O_5$ 、 $Ba_{1-x}Sr_xTiO_3$ 、 $PbZr_{1-x}Ti_xO_3$  などがある。 $Ba_{1-x}Sr_xTiO_3$  などのペロブスカイト構造を有する酸化物は比誘電率が 1000 を越え、将来のキャパシタ材料として期待されている。

【0005】しかし、これらの材料は構成元素が多く、CVD 法での組成と被覆性の制御が困難である。また薄膜化に伴ない結晶構造が変化し、誘電率が減少する問題もあり、実用化には時間が必要である。

【0006】(4) 一方、 $Ta_2O_5$  はメタル元素が Ta だけであるため CVD 法による組成制御が容易であり、薄膜化による特性変動も少なく、次世代のキャパシタ材料として最も期待されている。

【0007】さらに  $Ta_2O_5$  は被覆性に優れているため立体構造キャパシタが形成でき、MIM (Metal-Insulator-Metal) 構造にすることにより 1 Gbit DRAM まで適用可能となりえる。

## 【0008】

【発明が解決しようとする課題】上記従来技術 4 に記載した  $Ta_2O_5$  薄膜の比誘電率は 2.5 程度である。従来の  $Si_3N_4$  の比誘電率 8 に比べ 3 倍程度であり、キャパシタ面積縮小効果が小さい。より高密度の DRAM キャパシタ用材料として誘電率の増加が求められている。

## 【0009】

【課題を解決するための手段】本発明では、低温相  $Ta_2O_5$  薄膜を用いることにより、誘電率を増加させる。実施例 1 で後述するが、従来の  $Ta_2O_5$  薄膜は比誘電率が 2.5 と知られているのは  $\beta$  相 (JCPDS # 250922) であり、本実施例に示す方法を用いることにより、より誘電率の高い  $\delta$  相 (JCPDS # 181304) を形成できることを確認した。ここで  $Ta_2O_5$  の低温相とは  $\delta$  相だけではなく、例えば、Sov. Phys. Crystallogr. 24 (5) (1979) p 537 で報告されている  $\delta'$  相のように  $\delta$  相を基本格子とする超構造を有する相も含むものとする。

【0010】基板上の少なくとも下部電極、誘電体薄膜及び上部電極の積層構造よりなる誘電体薄膜コンデンサをメモリキャパシタとして使用する半導体メモリ素子において、該高誘電体薄膜を  $\delta$  相  $Ta_2O_5$  のとすることにより、キャパシタ容量を増加させることができる。 $\delta$  相  $Ta_2O_5$  膜は、MIS 構造では、下部ポリシリコン窒化表面での  $Ta_2O_5$  極薄膜の高温アニールにより達成され

## 3

る。またMIM構造では下部電極 $\text{RuO}_2$ 又は $\text{IrO}_2$ 結晶上で $\text{Ta}_2\text{O}_5$ を低温エピタキシャル成長させることにより達成される。

## 【0011】

【発明の実施の形態】以下本発明の実施の形態を図面を用いて具体的に説明する。

## 【0012】(1) MIS構造キャパシタ

図1は本発明装置の一実施例となる $\delta$ 相 $\text{Ta}_2\text{O}_5$ を有するMIS (Metal-Insulator-Semiconductor) 構造半導体メモリ素子の概要を示す断面図である。Si基板1上にメモリセルのトランジスタ部分となるCMOSを形成し、平坦化及び絶縁保護のため絶縁層3を形成する。本実施例では、BPSGと呼ばれる $\text{SiO}_2$ ガラス膜を膜厚300nmで形成してある。

【0013】本実施例ではスタック構造と呼ばれる構造を用い、CMOSのストレージノード拡散層9の上部にpoly-Siプラグ4を配置し、その上に誘電体キャパシタを配置してある。 $\text{SiO}_2$ 絶縁層3及びその中を貫通するプラグ4の上に、ポリシリコン下部電極(50nm)6、 $\delta$ 相 $\text{Ta}_2\text{O}_5$ 誘電体層(15nm)7、TiN上部電極(50nm)8の積層構造よりなる誘電体キャパシタを形成する。ポリシリコンと $\text{Ta}_2\text{O}_5$ の界面の酸化を抑制するために表面窒化が施してある。

【0014】図2には、本実施例の製造プロセスの概要を示す。 $\text{Ta}_2\text{O}_5$ の $\delta$ 相を有する誘電体キャパシタを得るために、誘電体層7を2層に分けて成膜する。誘電体層7の1層目に $\text{Ta}_2\text{O}_5$ を膜厚3nm堆積し、高温アニール処理を施した後、誘電体層7の2層目として $\text{Ta}_2\text{O}_5$ を12nm堆積する。 $\text{Ta}_2\text{O}_5$ は $\text{Ta}(\text{OC}_2\text{H}_5)_5$ を原料とした熱CVD法により基板温度400~550℃で堆積する。誘電体層7の1層目の形成時には $\text{Ta}_2\text{O}_5$ は結晶化が進まず誘電体層7の薄膜の構造は非晶質である。この薄膜をRTA (Rapid Thermal Annealing) 装置を用い、ランプによる迅速な熱処理により結晶化させる。

【0015】本実施例では、100% $\text{O}_2$ 雰囲気中で700~900℃、1分の熱処理を行い、結晶成長させている。通常、膜厚10nm以上の $\text{Ta}_2\text{O}_5$ 膜を結晶化温度(700℃)以上でアニールすると安定相である $\beta$ 相が形成される。しかし4nm以下の極薄膜では結晶化初期に形成される低温相である $\delta$ 相が安定化する。アモルファス $\text{Ta}_2\text{O}_5$ 膜を結晶化させると、初期に $\delta$ 相 $\text{Ta}_2\text{O}_5$ が形成され、その後 $\beta$ 相 $\text{Ta}_2\text{O}_5$ に変わるという報告もある(Acta. Cryst., vol. 14, p 1278 (1961))。斜方晶 $\beta$ 相 $\text{Ta}_2\text{O}_5$ の格子定数は $a=0.6198\text{nm}$ ,  $b=4.029\text{nm}$ ,  $c=0.388\text{nm}$ で $b$ 軸方向に伸びた単位格子を持っているため膜厚3nmでは結晶化する際に $b$ 軸長より短い $\beta$ 相構造を形成できない。

## 4

【0016】そこで、より単位格子の小さな六方晶 $\delta$ 相 $\text{Ta}_2\text{O}_5$  ( $a=0.362\text{nm}$ ,  $c=0.387\text{nm}$ ) が形成し、安定化していると考えられる。次に誘電体層7の1層目と同じ条件で $\text{Ta}_2\text{O}_5$ を12nm堆積する。この際、誘電体層7の1層目の $\delta$ 相 $\text{Ta}_2\text{O}_5$ が下地となっているためホモエピタキシャル成長が起こり、CVD堆積中に結晶化が起こっている。エピタキシャル成長では下地の結晶構造を引きずるため、誘電体層7の2層目は誘電体層7の1層目と同様の相構造を保ちながら結晶成長する。

【0017】この結果、下部電極6の上部に均一な $\delta$ 相 $\text{Ta}_2\text{O}_5$ 誘電体膜7が形成される。誘電体層7の2層目の $\delta$ 相 $\text{Ta}_2\text{O}_5$ 膜は形成温度が低いため、多くの残留炭素や酸素欠陥を持ち、リーク電流特性が不十分である場合がある。このときは100% $\text{O}_2$ 雰囲気中で700~900℃、1分の熱処理を行い、誘電体層7中に酸素を供給し、高結晶性の膜を形成する。これにより誘電体層7は良好な電気特性を示すようになる。形成した誘電体層7上に、CVD法によりTiN上部電極8を成膜する。

【0018】図3には、本発明の半導体メモリ素子の誘電体薄膜キャパシタを製造するための成膜装置の一例を示す。実施例1のMIS構造DRAMのキャパシタ形成方法を説明する。基板搬入室10より搬入した基板1は、基板交換室14を経て、高真空雰囲気の中で成膜室(1)11、アニール室13の間を、基板交換用アーム17により搬送される。

【0019】本実施例では、成膜室11において、誘電体層7の1層目 $\text{Ta}_2\text{O}_5$ を成膜した後、アニール室13で結晶化させ、また成膜室(1)11に戻し誘電体層7の2層目 $\text{Ta}_2\text{O}_5$ を堆積する。必要な場合には再び搬入し、アニール室13において高温酸素アニールを行い、酸素欠損と残留炭素の低減を図る。誘電体層7の1層目 $\text{Ta}_2\text{O}_5$ の高温アニールは酸素欠陥を低減することが目的でないため $\text{N}_2$ ,  $\text{Ar}$ 等の雰囲気でも良い。

【0020】本実施例で作製した $\text{Ta}_2\text{O}_5$ 薄膜の誘電率について説明する。誘電率の変化を調べるため $\text{Ta}_2\text{O}_5$ 薄膜の誘電体層7の1層目と誘電体層7の2層目の合計膜厚を15nmで一定にし、誘電体層7の1層目の $\text{Ta}_2\text{O}_5$ 膜厚を変えてキャパシタ構造を作製し、容量を測定した。MIS構造では $\text{Ta}_2\text{O}_5$ 薄膜と界面に形成される $\text{SiON}$ 低誘電率層が直列したキャパシタ構造となるため、 $\text{SiON}$ 相の比誘電率5、膜厚1nmと仮定して誘電率を求めた。

【0021】図4は横軸に誘電体層7の1層目の $\text{Ta}_2\text{O}_5$ 膜厚、縦軸に $\text{Ta}_2\text{O}_5$ 膜厚の比誘電率をとり、プロットしてある。従来の方で一度に厚さ15nmの $\text{Ta}_2\text{O}_5$ を堆積し、アニールした $\text{Ta}_2\text{O}_5$ 薄膜の比誘電率は21であったが、本実施例で誘電体層7の1層目の膜厚を4nm以下にすると $\text{Ta}_2\text{O}_5$ 薄膜の比誘電率は40以

上に増加した。

【0022】図5は、本実施例の酸化物誘電体キャパシタのX線回折図である。従来の厚さ15nmの $Ta_2O_5$ を一度に堆積し、アニールした $Ta_2O_5$ 薄膜では図5

(b)のように $\beta$ 相の(340)と(002)の回折線が見られるが、本実施例で誘電体層7の1層目の膜厚を3nmで作製した $Ta_2O_5$ 薄膜では図5(a)のように $\beta$ 相の(340)に相当する回折線が消失しており、 $\delta$ 相の(002)の回折線しか見られない。本実施例の成膜方法により、高誘電率を示す $Ta_2O_5$ の $\delta$ 相が形成されていることを確認した。

【0023】(2)MIM構造キャパシタ

第二の実施例となる $Ta_2O_5$ の $\delta$ 相を有するMIM(Metal-Insulator-Metal)構造半導体メモリ素子の概要を示す断面図は第一の実施例の場合と同じである(図2)。Si基板1上にメモリセルのトランジスタ部分となるCMOSを形成し、平坦化及び絶縁、保護のため絶縁層3を形成する。本実施例では実施例1と同様にスタック構造と呼ばれるキャパシタ構造を用いている。CMOSのストレージノード拡散層9の上部にpoly-Siプラグ4を配置し、その上に誘電体キャパシタを配置してある。SiO<sub>2</sub>絶縁層3及びその中を貫通するプラグ4の上に、バリア層5、RuO<sub>2</sub>下部電極6、 $\delta$ 相 $Ta_2O_5$ 誘電体層7、RuO<sub>2</sub>上部電極8の積層構造よりなる誘電体キャパシタを形成する。

【0024】図6には、本実施例の製造プロセスの概要を示す。 $Ta_2O_5$ 低温相を有する誘電体キャパシタを得るために、高結晶性RuO<sub>2</sub>下部電極6上に $Ta_2O_5$ 誘電体層7を低温エピタキシャル成長させる。基板温度550℃以下で結晶成長させるため、 $\delta$ 相 $Ta_2O_5$ が形成される。実施例1のMIS構造では、下部電極表面は表面窒化したアモルファス層が形成されているため誘電体層7の1層目ではエピタキシャル成長が起こらないが、MIM構造ではRuO<sub>2</sub>結晶6上に直接 $Ta_2O_5$ をCVD成長させるため、低温エピタキシャル成長が可能である。ここで重要となるのが下部電極結晶の清浄表面を形成する技術である。

【0025】基板温度300~500℃でRuO<sub>2</sub>6をCVD堆積した後、結晶性を高めるための100%O<sub>2</sub>雰囲気中で700~900℃、1分の熱処理を施す。アニール後に清浄表面を保持したまま $Ta_2O_5$ 誘電体層7をCVD堆積する。必要な場合には100%O<sub>2</sub>雰囲気中で700~900℃、1分の熱処理を行い、誘電体層7中に酸素を供給する。下部電極6に導電性酸化物のR

uO<sub>2</sub>を用いているために酸素アニールの際に低誘電率酸化膜層が形成されることがなく、良好な電気特性が得られる。

【0026】本実施のMIM構造DRAMのキャパシタ形成方法を説明する。成膜室12において、RuO<sub>2</sub>6をCVD堆積した後、アニール室13で結晶化させ、また成膜室(1)11に移し $Ta_2O_5$ 誘電体層7を堆積する。必要な場合には再び搬入し、アニール室13において高温酸素アニールを行い、酸素欠損と残留炭素の低減を図る。RuO<sub>2</sub>6の高温アニールは酸素欠陥を低減することが目的でないためN<sub>2</sub>、Ar等の雰囲気でも良い。

【0027】本実施例ではRuO<sub>2</sub>を用いた場合について説明したが、IrO<sub>2</sub>を用いても低温エピタキシャル成長により、 $Ta_2O_5$ 低温相を作製できる。またPt、Ru又はIr単体を用いても $Ta_2O_5$ 低温相を作製できる。さらに $Ta_2O_5$ に微量元素を添加することにより、低温相構造を安定化させることができる。

【0028】

【発明の効果】本発明により誘電率の高い $\delta$ 相 $Ta_2O_5$ をポリシリコン及びRuO<sub>2</sub>、又はIrO<sub>2</sub>電極上に安定に形成できる。本発明の容量素子をメモリ素子のコンデンサに適用することにより高集積大容量のDRAMを実現できる。

【図面の簡単な説明】

【図1】本発明の一実施例となる半導体メモリ素子の、キャパシタ部分の概要を示す断面図である。

【図2】本発明の一実施例となるMIS構造DRAMの製造プロセスの概要を示すフローチャートである。

【図3】本発明の一実施例となる半導体メモリ素子の誘電体薄膜キャパシタを製造するための成膜装置の概要図である。

【図4】1層目の $Ta_2O_5$ 膜厚と $Ta_2O_5$ の比誘電率の関係を示す特性図である。

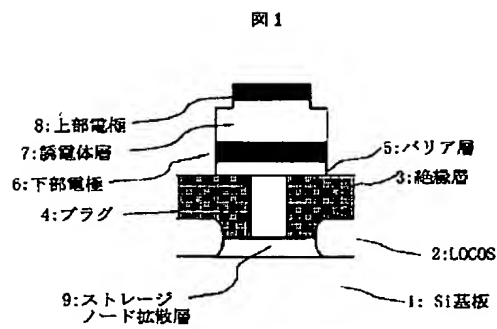
【図5】本発明の一実施例で作製した $\delta$ 相 $Ta_2O_5$ 膜(a)と $\beta$ 相 $Ta_2O_5$ 膜(b)のX線回折図である。

【図6】本発明の一実施例となるMIM構造DRAMの製造プロセスの概要を示すフローチャートである。

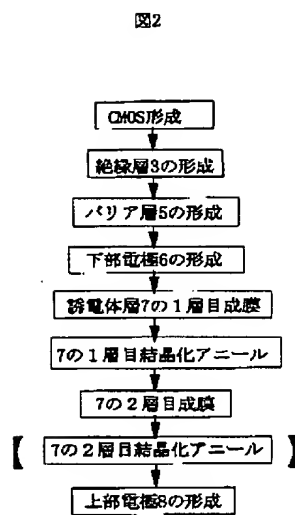
【符号の説明】

1…Si基板、2…LOCOS、3…絶縁層、4…プラグ、5…バリア層、6…下部電極、7…誘電体層、8…上部電極、10…基板搬入室、11…成膜室(1)、12…成膜室(2)、13…アニール室、14…基板交換室、15…ゲートバルブ、17…平板型カソード。

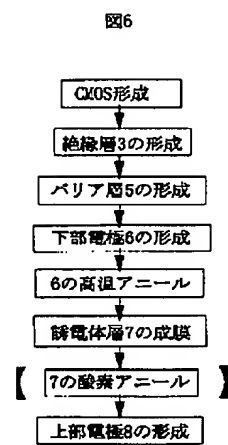
【図1】



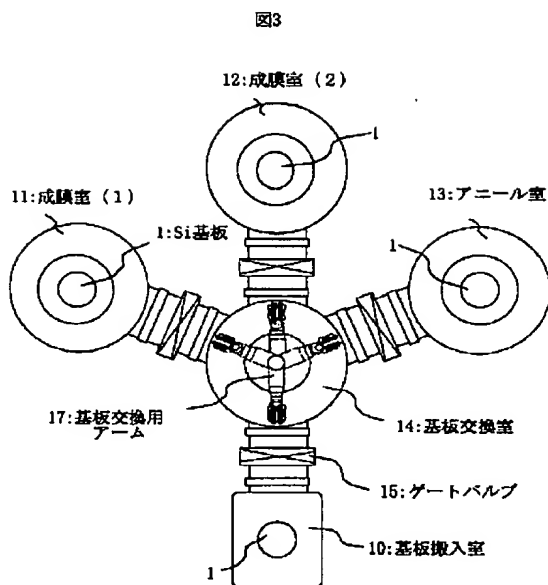
【図2】



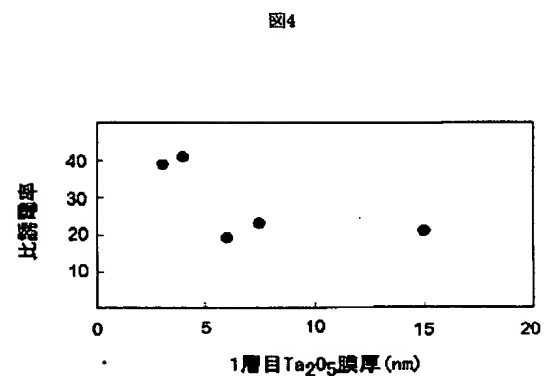
【図6】



【図3】

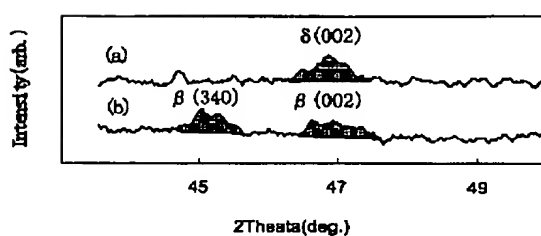


【図4】



【図5】

図5



## フロントページの続き

- (72)発明者 平谷 正彦  
東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内
- (72)発明者 國友 正人  
東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センタ内
- (72)発明者 古川 亮一  
東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センタ内
- (72)発明者 山本 裕彦  
東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体事業部内
- (72)発明者 高橋 雅人  
東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体事業部内

- (72)発明者 植村 俊雄  
東京都小平市上水本町五丁目22番1号 株  
式会社日立超エル・エス・アイ・システム  
ズ内
- (72)発明者 尾形 潔  
神奈川県横浜市戸塚区吉田町292番地 株  
式会社日立製作所生産技術研究所内
- Fターム(参考) 5F038 AC05 AC09 AC15 AC18 DF05  
EZ14  
5F083 AD21 AD49 JA06 JA38 JA40  
JA43 MA06 MA17 PR21 PR25  
PR33 PR34  
5G303 AA01 AA10 AB06 BA03 CA01  
CB33